

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月11日

出 願 番 号

Application Number:

特願2002-265284

[ST.10/C]:

[JP2002-265284]

出 願 人

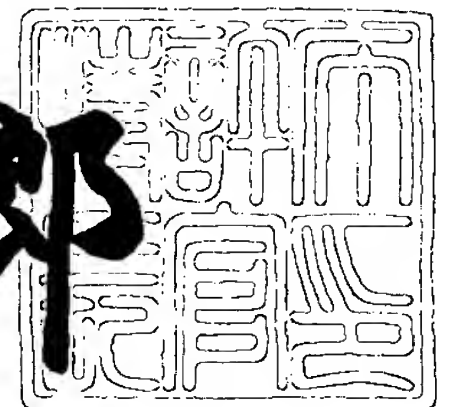
Applicant(s):

セイコーエプソン株式会社

2003年 6月 9日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3044474

【書類名】 特許願

【整理番号】 PA04F144

【提出日】 平成14年 9月11日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03B 5/36

【発明者】

    【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

    【氏名】 関 浩

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 110000028

    【氏名又は名称】 特許業務法人 明成国際特許事務所

    【代表者】 下出 隆史

    【電話番号】 052-218-5061

【手数料の表示】

    【予納台帳番号】 133917

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0105458

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 外部に設けられる振動子を利用する半導体装置であって、  
前記振動子と並列に設けられ、与えられた制御信号に応じて間欠的に発振信号  
を出力するための反転増幅器を備え、  
前記反転増幅器は、  
前記振動子から第 1 の信号を受け取るための第 1 の端子と、  
前記振動子へ第 2 の信号を供給するための第 2 の端子と、  
前記第 1 の端子と前記第 2 の端子との間に設けられ、絶縁ゲート型のトランジ  
スタを用いて形成されたトランスミッションゲートであって、前記制御信号が第  
1 の論理レベルに設定される場合には、前記第 1 の信号を伝搬するオン状態に設  
定され、前記制御信号が第 2 の論理レベルに設定される場合には、前記第 1 の信  
号を伝搬しないオフ状態に設定される前記トランスミッションゲートと、  
前記トランスミッションゲートの出力端子と前記第 2 の端子との間に設けられ  
、絶縁ゲート型のトランジスタを用いて形成されたインバータ回路であって、与  
えられる信号の論理レベルを反転して前記第 2 の信号を出力する前記インバータ  
回路と、  
前記トランスミッションゲートの出力端子と前記インバータ回路の入力端子と  
の間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたクランプ回路  
であって、前記制御信号が前記第 1 の論理レベルに設定される場合には、前記イ  
ンバータ回路の入力端子に前記トランスミッションゲートから出力された前記第  
1 の信号が与えられるように設定され、前記制御信号が前記第 2 の論理レベルに  
設定される場合には、前記インバータ回路の入力端子に所定の電圧が与えられる  
ように設定される前記クランプ回路と、  
を備えることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、  
前記トランスミッションゲートは、n チャネル型の MOS トランジスタと p チ  
ャネル型の MOS トランジスタとが組み合わされた CMOS トランスミッション

ゲートである、半導体装置。

【請求項 3】 請求項 1 記載の半導体装置であって、さらに、  
絶縁ゲート型のトランジスタを用いて形成され、前記反転増幅器から出力される信号を他の回路に伝達するためのバッファ回路を備える、半導体装置。

【請求項 4】 請求項 3 記載の半導体装置であって、さらに、  
前記反転増幅器と前記バッファ回路との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスミッションゲートを備える、半導体装置。

【請求項 5】 請求項 1 記載の半導体装置であって、  
前記半導体装置は、前記振動子と、前記振動子と並列に設けられる帰還抵抗器と、を利用する、半導体装置。

【請求項 6】 発振回路であって、  
振動子と、  
前記振動子を利用する半導体装置と、  
を備え、  
前記半導体装置は、  
前記振動子と並列に設けられ、与えられた制御信号に応じて間欠的に発振信号を出力するための反転増幅器を備え、  
前記反転増幅器は、  
前記振動子から第 1 の信号を受け取るための第 1 の端子と、  
前記振動子へ第 2 の信号を供給するための第 2 の端子と、  
前記第 1 の端子と前記第 2 の端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスミッションゲートであって、前記制御信号が第 1 の論理レベルに設定される場合には、前記第 1 の信号を伝搬するオン状態に設定され、前記制御信号が第 2 の論理レベルに設定される場合には、前記第 1 の信号を伝搬しないオフ状態に設定される前記トランスミッションゲートと、  
前記トランスミッションゲートの出力端子と前記第 2 の端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたインバータ回路であって、与えられる信号の論理レベルを反転して前記第 2 の信号を出力する前記インバータ回路と、

前記トランスミッションゲートの出力端子と前記インバータ回路の入力端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたクランプ回路であって、前記制御信号が前記第 1 の論理レベルに設定される場合には、前記インバータ回路の入力端子に前記トランスミッションゲートから出力された前記第 1 の信号が与えられるように設定され、前記制御信号が前記第 2 の論理レベルに設定される場合には、前記インバータ回路の入力端子に所定の電圧が与えられるように設定される前記クランプ回路と、  
を備えることを特徴とする発振回路。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は、半導体装置を用いて形成される発振回路の技術に関する。

##### 【0002】

#### 【従来の技術】

集積回路などの半導体装置では、MOS トランジスタが多く利用されている。半導体装置内部の回路は、与えられたクロック信号に応じて動作する。このため、半導体装置の外部には、通常、水晶振動子が設けられており、半導体装置の内部および外部には、水晶振動子を含む発振回路が形成されている。

##### 【0003】

図 1 は、従来の発振回路 900 の基本的な構成を示す説明図である。図示するように、発振回路 900 は、水晶振動子 910 と、水晶振動子に並列接続された帰還抵抗器 920 と、水晶振動子に並列接続された反転増幅器 960 と、反転増幅器の出力端子に接続されたバッファ回路 970 と、を備えている。なお、図 1 において、水晶振動子 910 と帰還抵抗器 920 とは、半導体装置 950 の外部に設けられている。また、反転増幅器 960 とバッファ回路 970 とは、半導体装置 950 の内部に設けられており、MOS トランジスタを用いて形成されている。

##### 【0004】

図 1 では、反転増幅器 960 は、2 入力 NAND 回路で構成されている。一方

の入力端子には水晶振動子 9 1 0 から信号 S 1 が与えられており、他方の入力端子には制御信号 C T R が与えられている。制御信号 C T R が H レベルに設定される場合には、反転増幅器 9 6 0 は、発振信号 S 2 を出力する。一方、制御信号 C T R が L レベルに設定される場合には、反転増幅器 9 6 0 は、常に H レベルの信号 S 2 を出力する。このように、この反転増幅器 9 6 0 は、与えられた制御信号 C T R に応じて間欠的に発振信号を出力することができる。

#### 【 0 0 0 5 】

なお、従来の発振回路としては、例えば、特許文献 1 が挙げられる。

#### 【 0 0 0 6 】

##### 【特許文献 1】

特開平 1 1 - 2 8 9 2 4 3 号公報

#### 【 0 0 0 7 】

##### 【発明が解決しようとする課題】

しかしながら、間欠的に発振信号を出力可能な反転増幅器 9 6 0 を 2 入力 N A N D 回路を用いて形成する場合には、反転増幅器のサイズが大きくなってしまう。換言すれば、2 入力 N A N D 回路は、半導体装置 9 5 0 の内部において比較的大きな面積を必要とする。これは、2 入力 N A N D 回路では、半導体装置 9 5 0 の内部電源電圧と出力信号線との間で、2 つの n チャネル型の M O S トランジスタが直列接続されているためである。

#### 【 0 0 0 8 】

この発明は、従来技術における上述の課題を解決するためになされたものであり、間欠的に発振信号を出力可能な反転増幅器のサイズを比較的小さくすることのできる技術を提供することを目的とする。

#### 【 0 0 0 9 】

##### 【課題を解決するための手段およびその作用・効果】

上述の課題の少なくとも一部を解決するため、本発明の第 1 の装置は、外部に設けられる振動子を利用する半導体装置であって、

前記振動子と並列に設けられ、与えられた制御信号に応じて間欠的に発振信号を出力するための反転増幅器を備え、



前記反転増幅器は、

前記振動子から第 1 の信号を受け取るための第 1 の端子と、

前記振動子へ第 2 の信号を供給するための第 2 の端子と、

前記第 1 の端子と前記第 2 の端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスミッションゲートであって、前記制御信号が第 1 の論理レベルに設定される場合には、前記第 1 の信号を伝搬するオン状態に設定され、前記制御信号が第 2 の論理レベルに設定される場合には、前記第 1 の信号を伝搬しないオフ状態に設定される前記トランスミッションゲートと、

前記トランスミッションゲートの出力端子と前記第 2 の端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたインバータ回路であって、与えられる信号の論理レベルを反転して前記第 2 の信号を出力する前記インバータ回路と、

前記トランスミッションゲートの出力端子と前記インバータ回路の入力端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたクランプ回路であって、前記制御信号が前記第 1 の論理レベルに設定される場合には、前記インバータ回路の入力端子に前記トランスミッションゲートから出力された前記第 1 の信号が与えられるように設定され、前記制御信号が前記第 2 の論理レベルに設定される場合には、前記インバータ回路の入力端子に所定の電圧が与えられるように設定される前記クランプ回路と、  
を備えることを特徴とする。

#### 【 0 0 1 0 】

この装置では、反転増幅器は、トランスミッションゲートとインバータ回路とクランプ回路とを用いて形成可能であるため、内部電源電圧と出力信号線との間で 2 つの絶縁ゲート型のトランジスタを直列接続せずに済む。したがって、間欠的に発振信号を出力可能な反転増幅器のサイズを比較的小さくすることが可能となる。

#### 【 0 0 1 1 】

なお、本明細書において、「クランプ回路がトランスミッションゲートの出力端子とインバータ回路の入力端子との間に設けられている」とは、クランプ回路

の1つの端子がトランスミッションゲートの出力端子とインバータ回路の入力端子とに接続されている場合を含んでいる。

【 0 0 1 2 】

上記の装置において、

前記トランスミッションゲートは、nチャネル型のMOSトランジスタとpチャネル型のMOSトランジスタとが組み合わされたCMOSトランスミッションゲートであることが好ましい。

【 0 0 1 3 】

こうすれば、良好な伝搬特性を得ることができる。なお、これに代えて、nチャネル型のMOSトランジスタのみを含むトランスミッションゲートや、pチャネル型のMOSトランジスタのみを含むトランスミッションゲートを用いることも可能である。

【 0 0 1 4 】

さらに、上記の装置において、

絶縁ゲート型のトランジスタを用いて形成され、前記反転増幅器から出力される信号を他の回路に伝達するためのバッファ回路を備えるようにしてもよい。

【 0 0 1 5 】

さらに、上記の装置において、

前記反転増幅器と前記バッファ回路との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスミッションゲートを備えることが好ましい。

【 0 0 1 6 】

こうすれば、半導体装置に含まれるトランジスタのゲート絶縁膜が静電気によって破壊されるのを抑制することができる。具体的には、反転増幅器には、第1のトランスミッションゲートが設けられているため、第1のトランスミッションゲートのオン抵抗を利用することによって、インバータ回路に含まれるトランジスタのゲート絶縁膜が静電気によって破壊されるのを抑制することができる。また、反転増幅器とバッファ回路との間には、第2のトランスミッションゲートが設けられているため、第2のトランスミッションゲートのオン抵抗を利用することによって、バッファ回路に含まれるトランジスタのゲート絶縁膜が静電気によ



って破壊されるのを抑制することができる。

【 0 0 1 7 】

上記の装置において、

前記半導体装置は、前記振動子と、前記振動子と並列に設けられる帰還抵抗器と、を利用することが好ましい。

【 0 0 1 8 】

このように、帰還抵抗器を利用すれば、振動子を確実に振動させることができる。なお、帰還抵抗器は、半導体装置の外部に設けられていてもよいし、半導体装置の内部に設けられていてもよい。

【 0 0 1 9 】

本発明の第 2 の装置は、発振回路であって、

振動子と、

前記振動子を利用する半導体装置と、

を備え、

前記半導体装置は、

前記振動子と並列に設けられ、与えられた制御信号に応じて間欠的に発振信号を出力するための反転増幅器を備え、

前記反転増幅器は、

前記振動子から第 1 の信号を受け取るための第 1 の端子と、

前記振動子へ第 2 の信号を供給するための第 2 の端子と、

前記第 1 の端子と前記第 2 の端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスミッションゲートであって、前記制御信号が第 1 の論理レベルに設定される場合には、前記第 1 の信号を伝搬するオン状態に設定され、前記制御信号が第 2 の論理レベルに設定される場合には、前記第 1 の信号を伝搬しないオフ状態に設定される前記トランスミッションゲートと、

前記トランスミッションゲートの出力端子と前記第 2 の端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたインバータ回路であって、与えられる信号の論理レベルを反転して前記第 2 の信号を出力する前記インバータ回路と、

前記トランスマッションゲートの出力端子と前記インバータ回路の入力端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたクランプ回路であって、前記制御信号が前記第 1 の論理レベルに設定される場合には、前記インバータ回路の入力端子に前記トランスマッションゲートから出力された前記第 1 の信号が与えられるように設定され、前記制御信号が前記第 2 の論理レベルに設定される場合には、前記インバータ回路の入力端子に所定の電圧が与えられるように設定される前記クランプ回路と、  
を備えることを特徴とする。

## 【 0 0 2 0 】

この装置は、第 1 の装置と同様の構成を有しているため、第 1 の装置と同様の作用・効果を奏し、間欠的に発振信号を出力可能な反転増幅器のサイズを比較的小さくすることができる。

## 【 0 0 2 1 】

なお、本発明は、半導体装置、半導体装置を含む発振回路、該発振回路を備える電気機器等の種々の態様で実現することができる。

## 【 0 0 2 2 】

## 【発明の実施の形態】

## A. 第 1 実施例：

次に、本発明の実施の形態を実施例に基づき説明する。図 2 は、第 1 実施例における発振回路 1 0 0 を示す説明図である。なお、図示するように、発振回路 1 0 0 は、半導体装置 1 5 0 を用いて形成されている。

## 【 0 0 2 3 】

発振回路 1 0 0 は、水晶振動子 1 1 0 と、水晶振動子に並列接続された帰還抵抗器 1 2 0 と、水晶振動子に並列接続された反転増幅器 1 6 0 と、を備えている。また、発振回路 1 0 0 は、反転増幅器 1 6 0 の出力端子に接続されたバッファ回路 1 8 0 を備えている。

## 【 0 0 2 4 】

図 2 では、水晶振動子 1 1 0 と帰還抵抗器 1 2 0 とは、半導体装置 1 5 0 の外部に設けられており、反転増幅器 1 6 0 とバッファ回路 1 8 0 とは、半導体装置

150の内部に設けられている。なお、半導体装置150の内部と外部とは、半導体装置150に設けられた複数のピンを介して、電氣的に接続される。図2の発振回路100に関しては、半導体装置150の外部に設けられた回路部分と、半導体装置150の内部に設けられた回路部分とは、水晶振動子110が接続された2つのピンP1、P2を介して、電氣的に接続されている。

#### 【0025】

なお、本実施例では、半導体装置150としてゲートアレイが用いられている。ここで、ゲートアレイは、特定用途向けの集積回路（ASIC）のうち、セミカスタムICに分類されるデバイスである。半導体装置150は、基本セルがマトリクス状に配列された内部セル領域を含んでいる。なお、基本セルには、pチャネル型のMOSトランジスタ（以下、「pMOSトランジスタ」と呼ぶ）と、nチャネル型のMOSトランジスタ（以下、「nMOSトランジスタ」と呼ぶ）と、が含まれている。

#### 【0026】

反転増幅器160には、制御信号CTRが与えられている。反転増幅器160は、制御信号CTRに応じて、図1に示す2入力NAND回路のみで構成された従来の反転増幅器960と同様の信号を出力する。具体的には、制御信号CTRがHレベルに設定される場合には、水晶振動子110が振動し、このとき、反転増幅器160は、水晶振動子110から与えられた帰還信号S1の論理レベルを反転させた発振信号S2を出力する。一方、制御信号CTRがLレベルに設定される場合には、水晶振動子110の振動が停止し、このとき、反転増幅器160には、常にLレベルの信号S1が与えられ、反転増幅器160は、常にHレベルの信号S2を出力する。なお、反転増幅器160については、さらに、後述する。

#### 【0027】

バッファ回路180は、インバータ回路181と2入力NAND回路182とを含んでいる。バッファ回路180は、反転増幅器160から与えられた発振信号S2の波形を整え、半導体装置150内部の他の回路（例えば、分周回路）に向けてクロック信号を供給する機能を有している。バッファ回路180に含まれ

る 2 入力 N A N D 回路 1 8 2 には、制御信号 C T R が与えられている。2 入力 N A N D 回路 1 8 2 は、制御信号 C T R が H レベルに設定される場合には、インバータ回路 1 8 1 から与えられた信号（すなわちインバータ回路 1 8 1 によって論理レベルが反転された発振信号 S 2）の論理レベルを反転させた信号（すなわちクロック信号）を出力する。一方、制御信号 C T R が L レベルに設定される場合には、2 入力 N A N D 回路 1 8 2 は、常に H レベルの信号を出力する。

## 【 0 0 2 8 】

この構成によって、発振回路 1 0 0 は、制御信号 C T R に応じて間欠的にクロック信号を出力することができる。具体的には、発振回路 1 0 0 は、制御信号 C T R が H レベルに設定される場合には、クロック信号を出力することができ、制御信号 C T R が L レベルに設定される場合には、クロック信号の出力を停止させることができる。

## 【 0 0 2 9 】

上記のように、本実施例では、制御信号 C T R は、反転増幅器 1 6 0 と 2 入力 N A N D 回路 1 8 2 とに与えられている。制御信号 C T R を反転増幅器 1 6 0 に供給することによって、制御信号 C T R が L レベルに設定される場合に、水晶振動子 1 1 0 の振動を停止させることができ、この結果、反転増幅器 1 6 0 の消費電流を小さくすることができる。また、制御信号 C T R を 2 入力 N A N D 回路 1 8 2 に供給することによって、制御信号 C T R が L レベルに設定されるときに、クロック信号の出力を迅速に停止させることができる。なお、制御信号 C T R は、反転増幅器 1 6 0 のみに与えられていてもよい。この場合にも、発振回路 1 0 0 は、制御信号 C T R に応じて間欠的にクロック信号を出力することができる。

## 【 0 0 3 0 】

図 3 は、図 2 の反転増幅器 1 6 0 の概略構成を示す説明図である。なお、図 3 (A) では、反転増幅器 1 6 0 に与えられる制御信号 C T R が H レベルである場合の動作が示されており、図 3 (B) では、反転増幅器 1 6 0 に与えられる制御信号 C T R が L レベルである場合の動作が示されている。

## 【 0 0 3 1 】

図示するように、反転増幅器 1 6 0 は、水晶振動子 1 1 0 から第 1 の信号 S 1

を受け取るための第 1 の端子（入力端子）T 1 と、水晶振動子 1 1 0 とバッファ回路 1 8 0 とへ第 2 の信号 S 2 を供給するための第 2 の端子（出力端子）T 2 と、制御信号 C T R を受け取るための第 3 の端子（制御端子）T 3 と、を備えている。また、反転増幅器 1 6 0 は、トランスミッションゲート 2 1 0 と、第 1 のインバータ回路 2 2 0 と、クランプ回路 2 3 0 と、第 2 のインバータ回路 2 4 0 と、を備えている。なお、トランスミッションゲートは、トランスファゲートあるいはパストランジスタとも呼ばれている。

## 【 0 0 3 2 】

トランスミッションゲート 2 1 0 と第 1 のインバータ回路 2 2 0 とは、第 1 の端子 T 1 と第 2 の端子 T 2 との間に、この順序で設けられている。具体的には、反転増幅器 1 6 0 の第 1 の端子 T 1 は、トランスミッションゲート 2 1 0 の入力端子に接続されている。トランスミッションゲート 2 1 0 の出力端子は、第 1 のインバータ回路 2 2 0 の入力端子に接続されている。第 1 のインバータ回路 2 2 0 の出力端子は、反転増幅器 1 6 0 の第 2 の端子 T 2 に接続されている。そして、クランプ回路 2 3 0 は、トランスミッションゲート 2 1 0 と第 1 のインバータ回路 2 2 0 との間に設けられている。

## 【 0 0 3 3 】

トランスミッションゲート 2 1 0 は、nMOS トランジスタ 2 1 1 と pMOS トランジスタ 2 1 2 とが組み合わされた CMOS トランスミッションゲートである。nMOS トランジスタ 2 1 1 のドレインと pMOS トランジスタ 2 1 2 のドレインとは、互いに接続されており、入力端子として機能する。また、nMOS トランジスタ 2 1 1 のソースと pMOS トランジスタ 2 1 2 のソースとは、互いに接続されており、出力端子として機能する。nMOS トランジスタ 2 1 1 のゲートには、制御信号 C T R が与えられており、pMOS トランジスタ 2 1 2 のゲートには、論理レベルが反転された制御信号 # C T R が与えられている。

## 【 0 0 3 4 】

第 1 のインバータ回路 2 2 0 は、CMOS インバータ回路であり、直列接続された pMOS トランジスタ 2 2 1 と nMOS トランジスタ 2 2 2 とを含んでいる。pMOS トランジスタ 2 2 1 のゲートと nMOS トランジスタ 2 2 2 のゲート



とは、互いに接続されており、入力端子として機能する。また、pMOSトランジスタ221のドレインとnMOSトランジスタ222のドレインとは、互いに接続されており、出力端子として機能する。そして、pMOSトランジスタ221のソースは、半導体装置150の第1の内部電源電圧V1に設定されており、nMOSトランジスタ222のソースは、半導体装置150の第2の内部電源電圧V2（本実施例では接地電位）に設定されている。

#### 【0035】

クランプ回路230は、nMOSトランジスタ231で構成されている。nMOSトランジスタ231のソースは、半導体装置150の第2の内部電源電圧V2（本実施例では接地電位）に設定されており、ドレインは、トランスミッションゲート210の出力端子と第1のインバータ回路220の入力端子とに接続されている。また、nMOSトランジスタ231のゲートには、論理レベルが反転された制御信号#CTRが与えられている。

#### 【0036】

第2のインバータ回路240は、第1のインバータ回路220と同様のCMOSインバータ回路であり、直列接続されたpMOSトランジスタ241とnMOSトランジスタ242とを含んでいる。第2のインバータ回路240の入力端子には、制御信号CTRが与えられている。また、第2のインバータ回路240の出力端子は、トランスミッションゲート210に含まれるpMOSトランジスタ212のゲートと、クランプ回路230に含まれるnMOSトランジスタ231のゲートと、に接続されている。

#### 【0037】

図3（A）に示すように、制御信号CTRがHレベルである場合には、トランスミッションゲート210を構成するnMOSトランジスタ211とpMOSトランジスタ212とは、共に、オン状態に設定される。このとき、トランスミッションゲート210の入力端子に与えられた電圧は、ほぼ等しい電圧値のまま、出力端子から出力される。また、制御信号CTRがHレベルである場合には、クランプ回路230を構成するnMOSトランジスタ231は、オフ状態に設定される。したがって、第1のインバータ回路220の入力端子には、トランスミッ



ションゲート 2 1 0 の出力がそのまま与えられる。そして、第 1 のインバータ回路 2 2 0 は、与えられた信号の論理レベルを反転させた信号を出力する。具体的には、入力が H レベルである場合には n M O S トランジスタ 2 2 2 のみがオン状態に設定され、第 1 のインバータ回路 2 2 0 は L レベルを出力する。また、入力が L レベルである場合には p M O S トランジスタ 2 2 1 のみがオン状態に設定され、第 1 のインバータ回路 2 2 0 は、H レベルを出力する。

## 【 0 0 3 8 】

一方、図 3 ( B ) に示すように、制御信号 C T R が L レベルである場合には、トランスミッションゲート 2 1 0 を構成する n M O S トランジスタ 2 1 1 と p M O S トランジスタ 2 1 2 とは、共に、オフ状態に設定される。このとき、トランスミッションゲート 2 1 0 の出力は、高インピーダンス状態に設定される。また、制御信号 C T R が L レベルである場合には、クランプ回路 2 3 0 を構成する n M O S トランジスタ 2 3 1 は、オン状態に設定される。したがって、第 1 のインバータ回路 2 2 0 の入力端子は L レベルに設定され、この結果、第 1 のインバータ回路 2 2 0 は、常に H レベルを出力する。

## 【 0 0 3 9 】

上記のように、反転増幅器 1 6 0 は、制御信号 C T R が H レベルである場合には、第 1 の端子 T 1 に与えられる信号 S 1 の論理レベルを反転させた発振信号 S 2 を、第 2 の端子 T 2 から出力することができる。また、反転増幅器 1 6 0 は、制御信号 C T R が L レベルである場合には、第 2 の端子 T 2 から常に H レベルの信号 S 2 を出力することができる。

## 【 0 0 4 0 】

ところで、前述のように、本実施例の反転増幅器 1 6 0 は、与えられた制御信号 C T R に応じて、図 1 に示す 2 入力 N A N D 回路のみで構成された従来の反転増幅器 9 6 0 と同様の信号を出力する。しかしながら、本実施例の反転増幅器 1 6 0 では、図 3 に示すように、2 入力 N A N D 回路が用いられていない。このため、半導体装置（ゲートアレイ）1 5 0 の内部において、反転増幅器 1 6 0 のサイズをかなり小さくすることが可能となっている。なお、2 入力 N A N D 回路で構成された反転増幅器 9 6 0 のサイズが大きくなるのは、2 入力 N A N D 回路は

、内部電源電圧と出力信号線との間で、直列接続された2つのnMOSトランジスタを含むためである。

#### 【0041】

図4は、図1の従来の反転増幅器960の概略構成を示す説明図である。図示するように、2入力NAND回路は、2つのpMOSトランジスタ961、962と、2つのnMOSトランジスタ963、964と、を含んでいる。第1および第2のpMOSトランジスタ961、962は、第1の内部電源電圧V1と第2の端子T2に導通する出力信号線Loとの間で、並列接続されている。また、第1および第2のnMOSトランジスタ963、964は、出力信号線Loと第2の内部電源電圧V2との間で、直列接続されている。

#### 【0042】

図5は、図1の従来の反転増幅器960の具体的構成を示す説明図であり、図4に対応する。図示するように、2つのpMOSトランジスタ961、962は、それぞれ、並列接続された12個のpMOSトランジスタ要素で構成されている。また、2つのnMOSトランジスタ963、964は、それぞれ、並列接続された24個のnMOSトランジスタ要素で構成されている。図5から分かるように、従来の反転増幅器960は、合計72個のトランジスタ要素で構成されている。

#### 【0043】

図6は、図2の反転増幅器160の具体的構成を示す説明図であり、図3に対応する。図示するように、本実施例の反転増幅器160では、トランスミッションゲート210は、並列接続された2つのnMOSトランジスタ要素と並列接続された2つのpMOSトランジスタ要素とで構成されている。また、第1のインバータ回路220に含まれるpMOSトランジスタ221は、並列接続された12個のpMOSトランジスタ要素で構成されており、nMOSトランジスタ222は、並列接続された12個のnMOSトランジスタ要素で構成されている。さらに、クランプ回路230は、1つのnMOSトランジスタ要素で構成されており、第2のインバータ回路240は、1つのpMOSトランジスタ要素と1つのnMOSトランジスタ要素とで構成されている。図6から分かるように、本実施

例の反転増幅器 1 6 0 は、合計 3 1 個のトランジスタ要素で構成されている。

【 0 0 4 4 】

ところで、図 5 の 2 入力 N A N D 回路 9 6 0 と、図 6 の第 1 のインバータ回路 2 2 0 とが、多くのトランジスタ要素を用いて形成されているのは、反転増幅器は、比較的高い周波数（例えば約 8 0 ～ 約 1 0 0 M H z ）で動作するためである。すなわち、反転増幅器は、比較的高い周波数で動作するために比較的大きな電流を駆動する必要があり、この結果、反転増幅器は、比較的小さな抵抗値を有している必要がある。

【 0 0 4 5 】

図 5 に示す従来の反転増幅器 9 6 0 と図 6 に示す本実施例の反転増幅器 1 6 0 とは、同等の電流駆動能力を有している。しかしながら、図 5，図 6 を比較して分かるように、図 6 では、比較的少数のトランジスタ要素を用いて反転増幅器 1 6 0 を形成することが可能となっている。これは、図 5 では、反転増幅器 9 6 0 は 2 入力 N A N D 回路で構成されており、2 入力 N A N D 回路は、出力信号線 L o と第 2 の内部電源電圧 V 2 との間で、直列接続された 2 つの n M O S トランジスタ 9 6 3，9 6 4 を含むためである。

【 0 0 4 6 】

具体的には、図 6 の反転増幅器 1 6 0 において、第 1 のインバータ回路 2 2 0 の p M O S トランジスタ 2 2 1 および n M O S トランジスタ 2 2 2 のオン抵抗をそれぞれ R と仮定する。このとき、図 5 の反転増幅器 9 6 0 が図 6 の反転増幅器 1 6 0 と同等の電流駆動能力を有するためには、2 入力 N A N D 回路に含まれる各 p M O S トランジスタ 9 6 1，9 6 2 のオン抵抗が R であり、直列接続された 2 つの n M O S トランジスタ 9 6 3，9 6 4 の合成オン抵抗が R である必要がある。したがって、各 n M O S トランジスタ 9 6 3，9 6 4 のオン抵抗は、それぞれ  $R/2$  に設定される必要がある。

【 0 0 4 7 】

トランジスタ要素のオン抵抗は、 $L/W$  に比例する。ここで、L はゲート長（チャネル長に等しい）であり、W はゲート幅である。トランジスタ要素のゲート幅 W を 2 倍に設定すれば、トランジスタ要素のオン抵抗を  $1/2$  倍に設定するこ

とができる。また、各トランジスタ要素のサイズが同一である場合には、2倍の数のトランジスタ要素を並列接続すれば、トランジスタ要素群のゲート幅Wを実質的に2倍に設定することができるため、トランジスタ要素群のオン抵抗を1/2倍に設定することができる。

#### 【0048】

図5、図6では、各トランジスタ要素のサイズは同一に設定されている。このため、2入力NAND回路に含まれる各nMOSトランジスタ963、964は、第1のインバータ回路220に含まれるnMOSトランジスタ222を構成するトランジスタ要素の数（すなわち12個）の2倍の数（すなわち24個）のトランジスタ要素が並列接続されて構成されている。この結果、従来の反転増幅器960では、比較的多数（72個）のトランジスタ要素が必要となってしまう。このように、本実施例では、反転増幅器160は直列接続された2つのnMOSトランジスタを含んでいないため、比較的少数（31個）のトランジスタ要素を用いて反転増幅器160を形成することができる。

#### 【0049】

なお、本実施例では、反転増幅器160は、制御信号CTRの論理レベルを反転させるための第2のインバータ回路240を備えているが、第2のインバータ回路240は省略可能である。この場合には、反転増幅器は、制御信号CTRを受け取るための第3の端子T3と共に、論理レベルが反転された制御信号#CTRを受け取るための第4の端子を備えていればよい。

#### 【0050】

以上説明したように、本実施例の発振回路100は、水晶振動子110と、水晶振動子を利用する半導体装置150と、を備えている。半導体装置150は、水晶振動子と並列に設けられ、与えられた制御信号CTRに応じて間欠的に発振信号を出力するための反転増幅器160を備えている。そして、反転増幅器は、第1の端子T1と第2の端子T2との間に設けられたトランスミッションゲート210と、トランスミッションゲートの出力端子と第2の端子T2との間に設けられた第1のインバータ回路220と、トランスミッションゲート210の出力端子と第1のインバータ回路220の入力端子との間に設けられたクランプ回路

230と、を備えている。ここで、トランスマッションゲート210は、制御信号CTRがHレベルに設定される場合には、第1の信号S1を伝搬するオン状態に設定され、制御信号CTRがLレベルに設定される場合には、第1の信号S1を伝搬しないオフ状態に設定される。第1のインバータ回路220は、与えられる信号の論理レベルを反転して第2の信号S2を出力する。クランプ回路230は、制御信号CTRがHレベルに設定される場合には、第1のインバータ回路220の入力端子にトランスマッションゲートから出力された第1の信号S1が与えられるように設定され、制御信号CTRがLレベルに設定される場合には、第1のインバータ回路220の入力端子に第2の内部電源電圧V2にほぼ等しい電圧（すなわちLレベル）が与えられるように設定される。

#### 【0051】

このように、本実施例の発振回路100では、反転増幅器160は、トランスマッションゲート210と第1のインバータ回路220とクランプ回路230とを用いて形成可能であるため、第2の内部電源電圧V2と出力信号線Loとの間でnMOSトランジスタを直列接続せずに済む。したがって、間欠的に発振信号を出力可能な反転増幅器160のサイズを比較的小さくすることが可能となる。

#### 【0052】

なお、本実施例では、反転増幅器160は、トランスマッションゲート210を備えているが、反転増幅器がクランプ回路230を備える場合には、トランスマッションゲート210を省略することも可能である。この構成においても、制御信号CTRがLレベルに設定される場合には、クランプ回路230に比較的大きな電流を流すことによって、反転増幅器は発振信号の出力を停止させることができる。しかしながら、本実施例の構成を採用すれば、制御信号CTRがLレベルに設定される場合には、トランスマッションゲート210の出力は高インピーダンス状態に設定されるため、クランプ回路230に流れる電流が小さくなり、この結果、発振信号を停止させる際の消費電流を比較的小さくすることができる。このため、本実施例の反転増幅器160は、トランスマッションゲート210を備えている。

#### 【0053】



## B. 第 2 実施例：

図 7 は、第 2 実施例における第 1 の反転増幅器 1 6 0 A を示す説明図である。この反転増幅器 1 6 0 A は、第 1 実施例（図 3）の反転増幅器 1 6 0 とほぼ同じであるが、nMOS トランジスタ 2 1 1 のみで構成されたトランスミッションゲート 2 1 0 A を備えている。

## 【 0 0 5 4 】

図 8 は、第 2 実施例における第 2 の反転増幅器 1 6 0 B を示す説明図である。この反転増幅器 1 6 0 B も、第 1 実施例（図 3）の反転増幅器 1 6 0 とほぼ同じであるが、pMOS トランジスタ 2 1 2 のみで構成されたトランスミッションゲート 2 1 0 B を備えている。

## 【 0 0 5 5 】

本実施例（図 7，図 8）の構成を採用する場合には、第 1 実施例（図 3）の構成を採用する場合と同様に、反転増幅器 1 6 0 A，1 6 0 B は、制御信号 C T R が H レベルに設定される場合には、第 1 の端子 T 1 に与えられる信号 S 1 の論理レベルを反転させた発振信号 S 2 を、第 2 の端子 T 2 から出力する。また、反転増幅器 1 6 0 A，1 6 0 B は、制御信号 C T R が L レベルに設定される場合には、第 2 の端子 T 2 から常に H レベルの信号 S 2 を出力する。

## 【 0 0 5 6 】

ただし、図 7 に示すトランスミッションゲート 2 1 0 A は、L レベルの入力に対する伝搬特性に優れているが、H レベルの入力に対する伝搬特性は劣っている。これは、nMOS トランジスタ 2 1 1 の出力電圧は、（ゲート電圧－しきい値電圧）以下に制限されるためである。逆に、図 8 に示すトランスミッションゲート 2 1 0 B は、H レベルの入力に対する伝搬特性に優れているが、L レベルの入力に対する伝搬特性は劣っている。これは、pMOS トランジスタ 2 1 2 の出力電圧は、（ゲート電圧＋しきい値電圧）以上に制限されるためである。一方、図 3 に示すトランスミッションゲート 2 1 0 は、2 つのトランジスタ 2 1 1，2 1 2 の長所を利用することができるため、L レベルの入力に対する伝搬特性と H レベルの入力に対する伝搬特性との双方に優れている。すなわち、図 3 のトランスミッションゲート 2 1 0 を採用すれば、良好な伝搬特性を得ることができるとい



う利点がある。

【 0 0 5 7 】

第 1 および第 2 実施例の説明から分かるように、一般に、トランスミッションゲートは、制御信号が第 1 の論理レベルに設定される場合には、第 1 の信号を伝搬するオン状態に設定され、制御信号が第 2 の論理レベルに設定される場合には、第 1 の信号を伝搬しないオフ状態に設定されるものであればよい。

【 0 0 5 8 】

C. 第 3 実施例：

図 9 は、第 3 実施例における反転増幅器 1 6 0 C を示す説明図である。この反転増幅器 1 6 0 C は、第 1 実施例（図 3）の反転増幅器 1 6 0 とほぼ同じであるが、クランプ回路 2 3 0 C が変更されている。

【 0 0 5 9 】

具体的には、本実施例のクランプ回路 2 3 0 C は、pMOS トランジスタ 2 3 2 で構成されている。pMOS トランジスタのソースは、半導体装置 1 5 0 の第 1 の内部電源電圧 V 1 に設定されており、ドレインは、トランスミッションゲート 2 1 0 の出力端子と第 1 のインバータ回路 2 2 0 の入力端子とに接続されている。また、pMOS トランジスタのゲートには、制御信号 C T R が与えられている。

【 0 0 6 0 】

本実施例では、反転増幅器 1 6 0 C は、制御信号 C T R が H レベルに設定される場合には、第 1 の端子 T 1 に与えられる信号 S 1 の論理レベルを反転させた発振信号 S 2 を、第 2 の端子 T 2 から出力する。また、反転増幅器 1 6 0 C は、制御信号 C T R が L レベルに設定される場合には、第 2 の端子 T 2 から常に L レベルの信号 S 2 を出力する。具体的には、制御信号 C T R が L レベルに設定される場合には、クランプ回路 2 3 0 を構成する pMOS トランジスタ 2 3 2 は、オン状態に設定される。このとき、第 1 のインバータ回路 2 2 0 の入力端子は H レベルに設定され、この結果、第 1 のインバータ回路 2 2 0 は、常に L レベルを出力する。

【 0 0 6 1 】

第 1 および第 3 実施例の説明から分かるように、一般に、クランプ回路は、制御信号が第 1 の論理レベルに設定される場合には、インバータ回路の入力端子にトランSMissionゲートから出力された第 1 の信号が与えられるように設定され、制御信号が第 2 の論理レベルに設定される場合には、インバータ回路の入力端子に所定の電圧が与えられるように設定されればよい。

【 0 0 6 2 】

D. 第 4 実施例：

図 1 0 は、第 4 実施例における反転増幅器 1 6 0 D を示す説明図である。この反転増幅器 1 6 0 D は、第 2 実施例（図 7）の構成と第 3 実施例（図 9）の構成とを組み合わせたものに相当する。

【 0 0 6 3 】

具体的には、反転増幅器 1 6 0 D は、nMOS トランジスタ 2 1 1 のみで構成されたトランSMissionゲート 2 1 0 A と、第 1 のインバータ回路 2 2 0 と、pMOS トランジスタ 2 3 2 で構成されたクランプ回路 2 3 0 C と、を備えている。本実施例の構成を採用する場合には、論理レベルが反転された制御信号 # C T R を生成する必要がない。このため、図 3 の第 2 のインバータ回路 2 4 0 を省略することができ、この結果、反転増幅器 1 6 0 D のサイズをさらに小さくすることができる。

【 0 0 6 4 】

E. 第 5 実施例：

図 1 1 は、第 5 実施例における発振回路 1 0 0 E を示す説明図である。この発振回路 1 0 0 E は、第 1 実施例（図 2）の発振回路 1 0 0 とほぼ同じであるが、反転増幅器 1 6 0 とバッファ回路 1 8 0 との間に、トランSMissionゲート 1 7 0 が追加されている。

【 0 0 6 5 】

このトランSMissionゲート 1 7 0 は、反転増幅器 1 6 0 に含まれるトランSMissionゲート 2 1 0 （図 3）と同様に、nMOS トランジスタ 1 7 1 と pMOS トランジスタ 1 7 2 とが組み合わされた CMOS トランSMissionゲートである。ただし、nMOS トランジスタ 1 7 1 のゲートは、半導体装置 1 5 0

の第 1 の内部電源電圧 V 1 に設定されており、pMOS トランジスタ 1 7 2 のゲートは、半導体装置 1 5 0 の第 2 の内部電源電圧 V 2（本実施例では接地電位）に設定されている。このため、トランスミッションゲート 1 7 0 は、常時オン状態に設定されている。

#### 【0066】

本実施例の構成を採用すれば、静電気などに起因して、半導体装置 1 5 0 に設けられた 2 つのピン P 1、P 2 に比較的高い電圧が加わる場合にも、トランジスタのゲート酸化膜が破壊されるのを抑制することができる。すなわち、図 1 に示す従来の発振回路 9 0 0 では、第 1 のピン P 1 に比較的高い電圧が加わる場合には、反転増幅器 9 6 0 の NAND 回路に含まれるトランジスタのゲート酸化膜が比較的容易に破壊されてしまう。また、第 2 のピン P 2 に比較的高い電圧が加わる場合には、バッファ回路 9 7 0 のインバータ回路に含まれるトランジスタのゲート酸化膜が比較的容易に破壊されてしまう。しかしながら、本実施例の発振回路 1 0 0 E では、半導体装置 1 5 0 の第 1 のピン P 1 と反転増幅器 1 6 0 に含まれる第 1 のインバータ回路 2 2 0 の入力端子との間には、第 1 のトランスミッションゲート 2 1 0（図 3）が設けられており、半導体装置 1 5 0 の第 2 のピン P 2 とバッファ回路 1 8 0 に含まれるインバータ回路 1 8 1 の入力端子との間には、第 2 のトランスミッションゲート 1 7 0 が設けられている。各トランスミッションゲート 2 1 0、1 7 0 は、比較的高いオン抵抗を有している。したがって、静電気などに起因して、半導体装置 1 5 0 の第 1 のピン P 1 に比較的高い電圧が加わる場合には、第 1 のトランスミッションゲート 2 1 0 によって、第 1 のインバータ回路 2 2 0 のゲート酸化膜の破壊が抑制される。また、半導体装置 1 5 0 の第 2 のピン P 2 に比較的高い電圧が加わる場合には、第 2 のトランスミッションゲート 1 7 0 によって、インバータ回路 1 8 1 のゲート酸化膜の破壊が抑制される。

#### 【0067】

図 1 1 では、反転増幅器 1 6 0 とバッファ回路 1 8 0 との間に、トランスミッションゲート 1 7 0 が設けられているが、トランスミッションゲートは、例えば、拡散抵抗（拡散層抵抗とも呼ばれる）などの抵抗器と置換可能である。ここで

、拡散抵抗とは、半導体基板上に形成された拡散層の層抵抗を利用する抵抗素子である。ただし、半導体装置 1 5 0 内部に、比較的大きな抵抗値を有する拡散抵抗を形成するためには、比較的大きな面積が必要となってしまう。また、ゲートアレイにおいてトランスミッションゲート 1 7 0 を拡散抵抗と置換する場合には、拡散抵抗の形成位置が制限され、発振回路の配置が制限されてしまう。すなわち、本実施例のように、トランスミッションゲート 1 7 0 のオン抵抗を利用する場合には、比較的小さな面積で比較的大きな抵抗値を得ることができるという利点があるとともに、ゲートアレイにおける発振回路の配置の自由度を高めることができるという利点もある。

## 【 0 0 6 8 】

なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様で実施することが可能であり、例えば次のような変形も可能である。

## 【 0 0 6 9 】

(1) 上記実施例では、水晶振動子 1 1 0 が単独で用いられているが、水晶振動子 1 1 0 に負荷容量を接続するようにしてもよい。また、上記実施例では、発振回路 1 0 0 は、水晶振動子 1 1 0 を備えているが、これに代えて、例えば、P Z T,  $\text{PbTiO}_3$  などのセラミック振動子を備えるようにしてもよい。一般には、発振回路は、振動子を備えていればよい。

## 【 0 0 7 0 】

(2) 上記実施例では、半導体装置 1 5 0 の外部に帰還抵抗器 1 2 0 が設けられているが、帰還抵抗器は、半導体装置の内部に設けられていてもよい。また、帰還抵抗器 1 2 0 は省略可能である。ただし、上記実施例のように、帰還抵抗器を利用すれば、振動子を確実に振動させることができる。

## 【 0 0 7 1 】

(3) 上記実施例では、反転増幅器 1 6 0 に含まれるインバータ回路は、それぞれ、p M O S トランジスタと n M O S トランジスタとで構成された C M O S インバータ回路であるが、これに代えて、p M O S トランジスタが拡散抵抗などの抵抗器に置換されたインバータ回路を用いるようにしてもよい。

## 【 0 0 7 2 】

また、上記実施例では、半導体装置 1 5 0 は、ゲート絶縁膜が酸化膜で構成された MOS トランジスタを備えているが、これに代えて、ゲート絶縁膜が窒化膜などの他の絶縁膜で構成された M I S トランジスタを備えていてもよい。また、トランジスタのゲートは、ポリシリコンで構成されていてもよい。

## 【 0 0 7 3 】

さらに、上記実施例では、半導体装置 1 5 0 として、ゲートアレイが用いられているが、他の集積回路を用いるようにしてもよい。

## 【 0 0 7 4 】

一般には、半導体装置に含まれる反転増幅器は、絶縁ゲート型のトランジスタを用いて形成されていればよい。

## 【図面の簡単な説明】

【図 1】 従来の発振回路 9 0 0 の基本的な構成を示す説明図である。

【図 2】 第 1 実施例における発振回路 1 0 0 を示す説明図である。

【図 3】 図 2 の反転増幅器 1 6 0 の概略構成を示す説明図である。

【図 4】 図 1 の従来の反転増幅器 9 6 0 の概略構成を示す説明図である。

【図 5】 図 1 の従来の反転増幅器 9 6 0 の具体的構成を示す説明図であり、図 4 に対応する。

【図 6】 図 2 の反転増幅器 1 6 0 の具体的構成を示す説明図であり、図 3 に対応する。

【図 7】 第 2 実施例における第 1 の反転増幅器 1 6 0 A を示す説明図である。

【図 8】 第 2 実施例における第 2 の反転増幅器 1 6 0 B を示す説明図である。

【図 9】 第 3 実施例における反転増幅器 1 6 0 C を示す説明図である。

【図 1 0】 第 4 実施例における反転増幅器 1 6 0 D を示す説明図である。

【図 1 1】 第 5 実施例における発振回路 1 0 0 E を示す説明図である。

## 【符号の説明】

1 0 0, 1 0 0 E … 発振回路

1 1 0 … 水晶振動子  
 1 2 0 … 帰還抵抗器  
 1 5 0 … 半導体装置  
 1 6 0, 1 6 0 A ~ D … 反転増幅器  
 1 7 0 … トランスミッションゲート  
 1 7 1 … nMOS トランジスタ  
 1 7 2 … pMOS トランジスタ  
 1 8 0 … バッファ回路  
 1 8 1 … インバータ回路  
 1 8 2 … 2 入力 NAND 回路  
 2 1 0, 2 1 0 A ~ B … トランスミッションゲート  
 2 1 1 … nMOS トランジスタ  
 2 1 2 … pMOS トランジスタ  
 2 2 0 … インバータ回路  
 2 2 1 … pMOS トランジスタ  
 2 2 2 … nMOS トランジスタ  
 2 3 0, 2 3 0 C … クランプ回路  
 2 3 1 … nMOS トランジスタ  
 2 3 2 … pMOS トランジスタ  
 2 4 0 … インバータ回路  
 2 4 1 … pMOS トランジスタ  
 2 4 2 … nMOS トランジスタ  
 9 0 0 … 発振回路  
 9 1 0 … 水晶振動子  
 9 2 0 … 帰還抵抗器  
 9 5 0 … 半導体装置  
 9 6 0 … 反転増幅器  
 9 6 1, 9 6 2 … pMOS トランジスタ  
 9 6 3, 9 6 4 … nMOS トランジスタ



9 7 0 … バ ッ フ ァ 回 路

C T R … 制 御 信 号

L o … 出 力 信 号 線

P 1 , P 2 … ピ ン

T 1 … 第 1 の 端 子

T 2 … 第 2 の 端 子

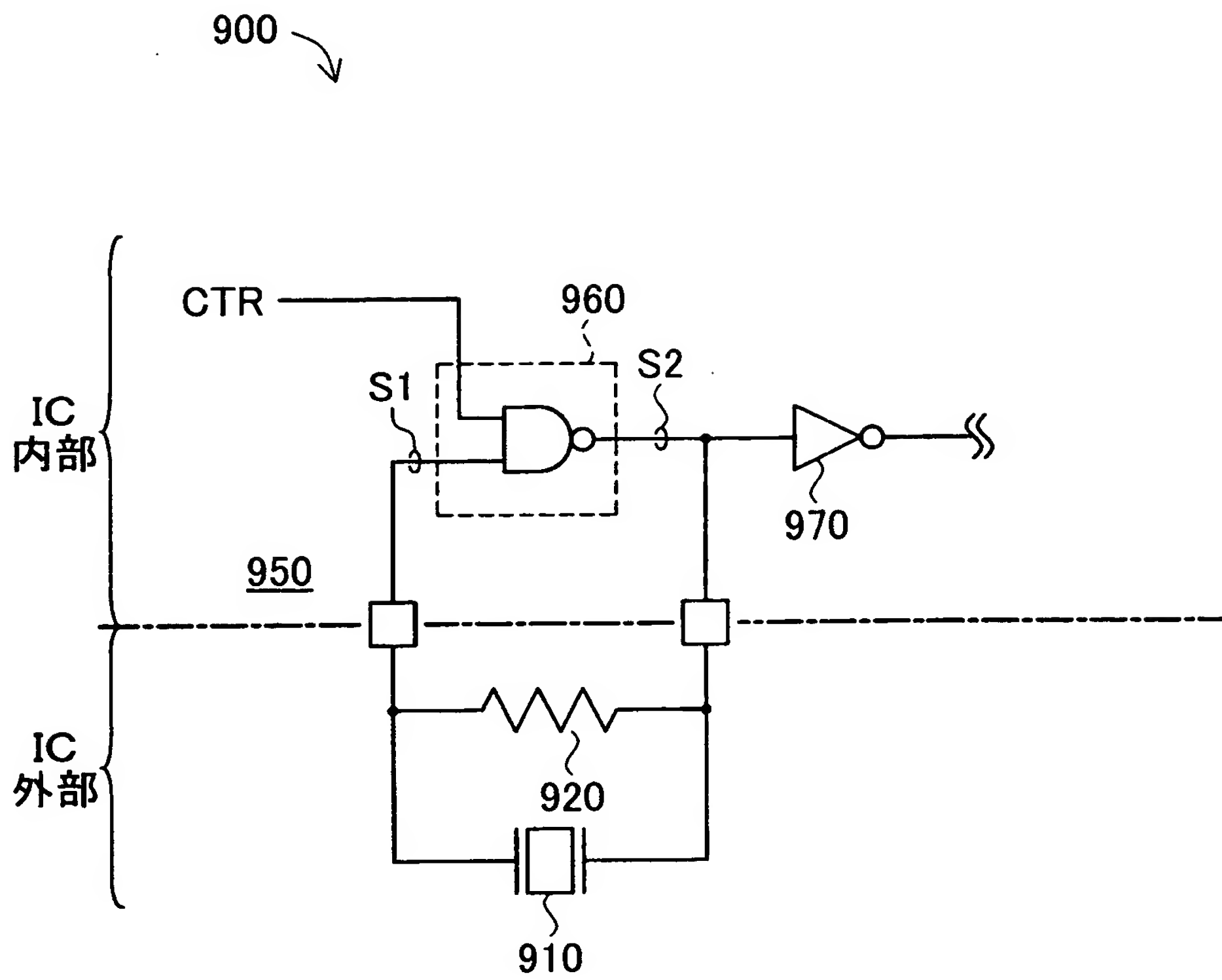
T 3 … 第 3 の 端 子

V 1 … 第 1 の 内 部 電 源 電 圧

V 2 … 第 2 の 内 部 電 源 電 圧

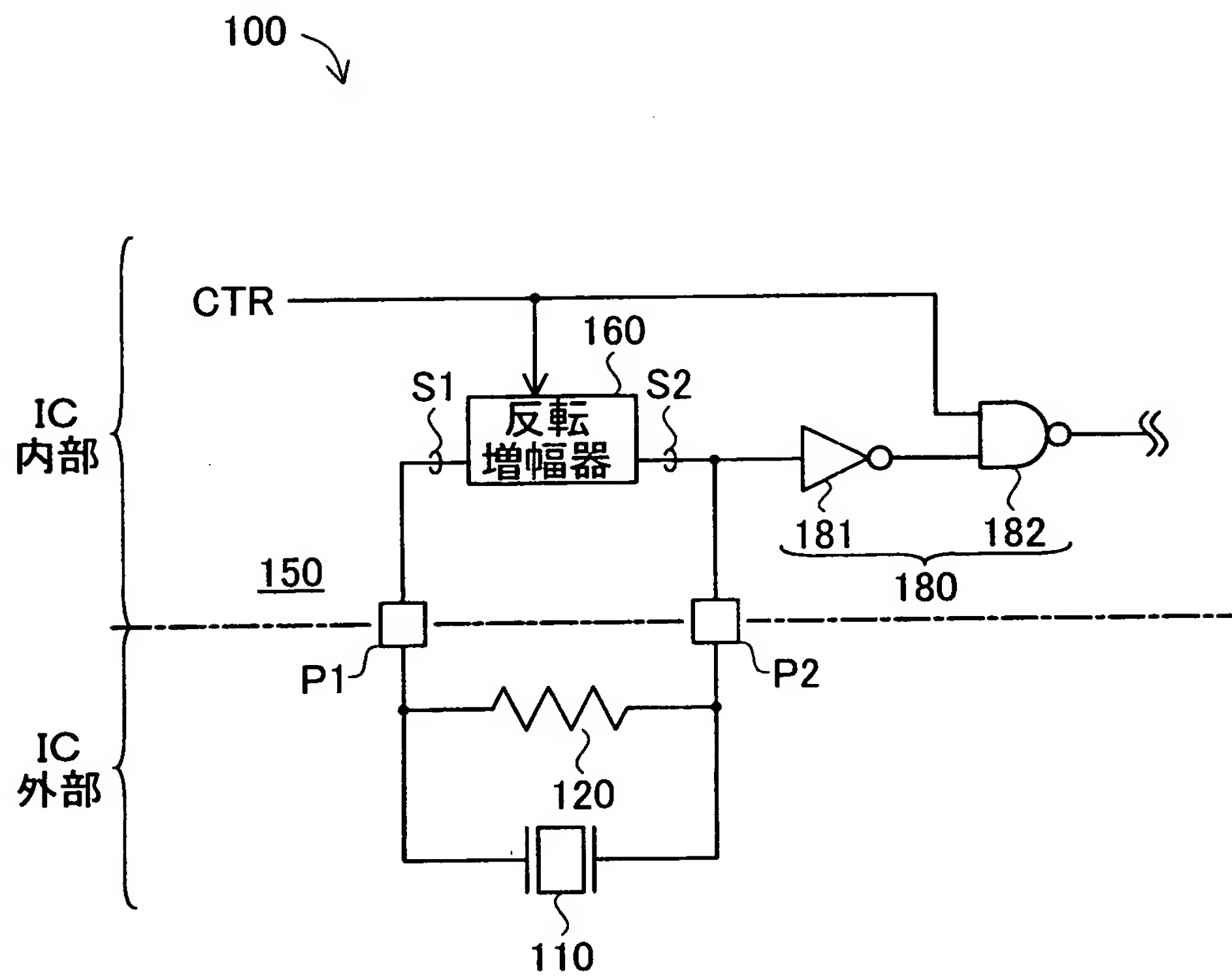
【書類名】 図面

【図 1】



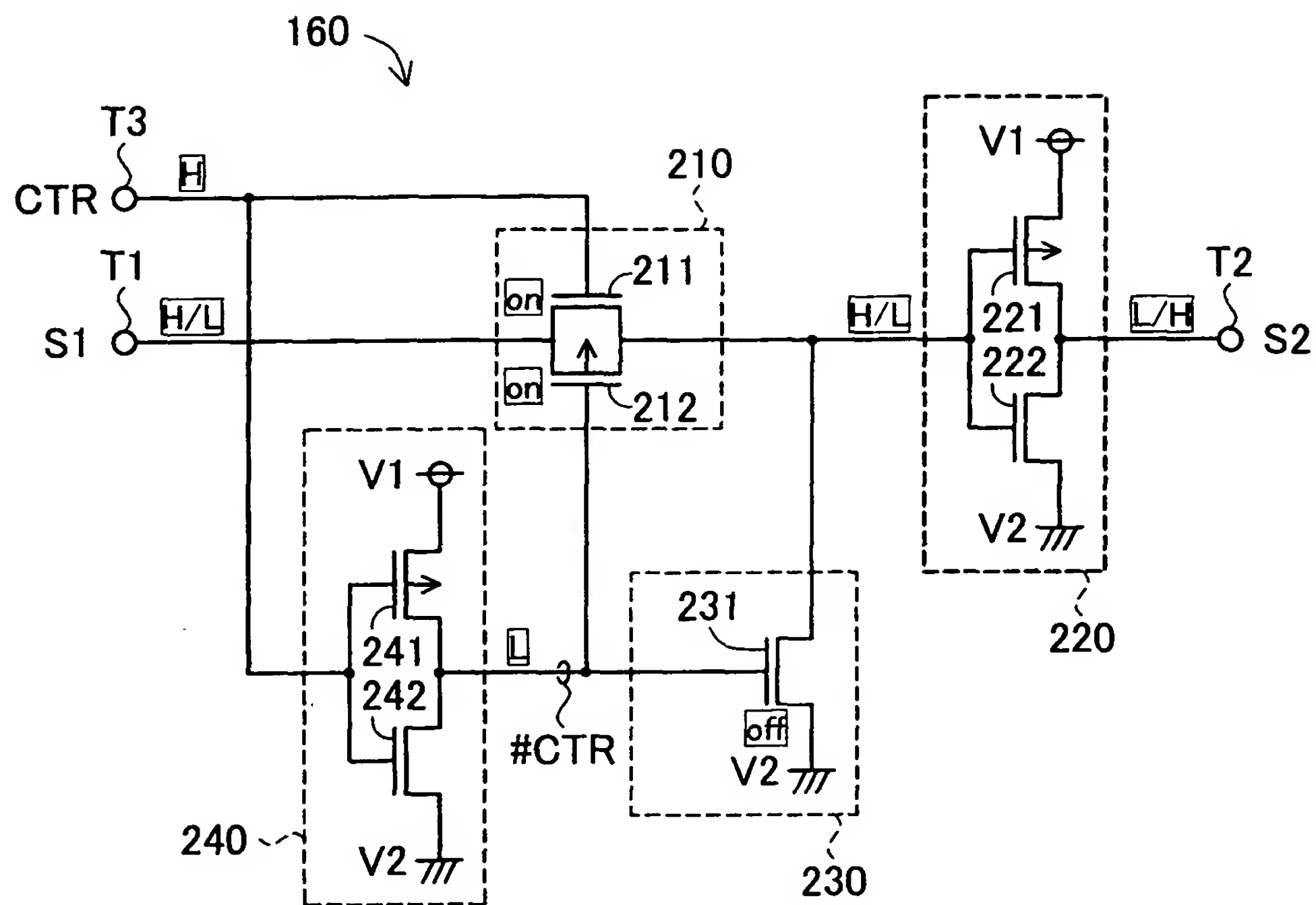
従来技術

【図 2】

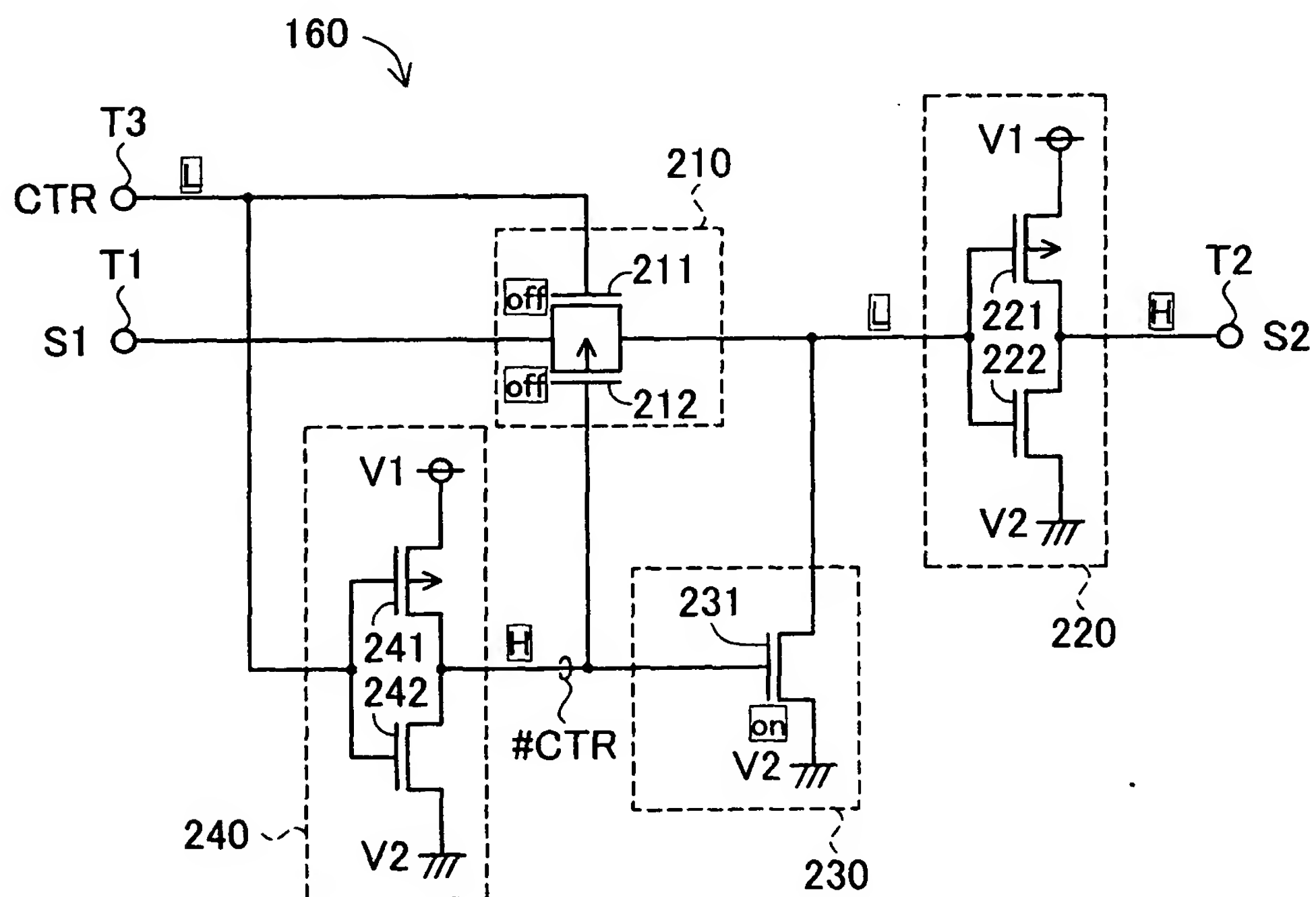


【図 3】

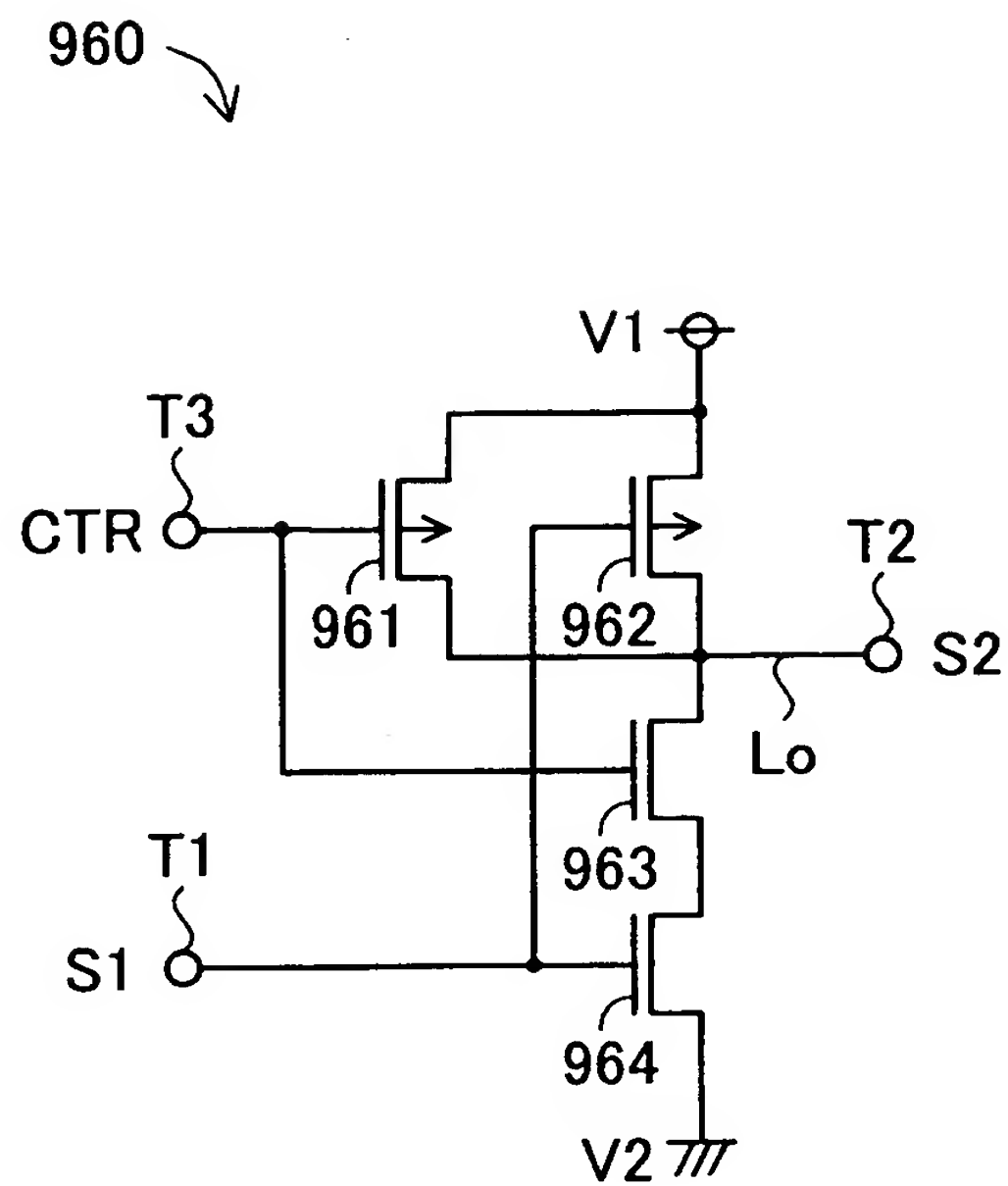
(A)



(B)

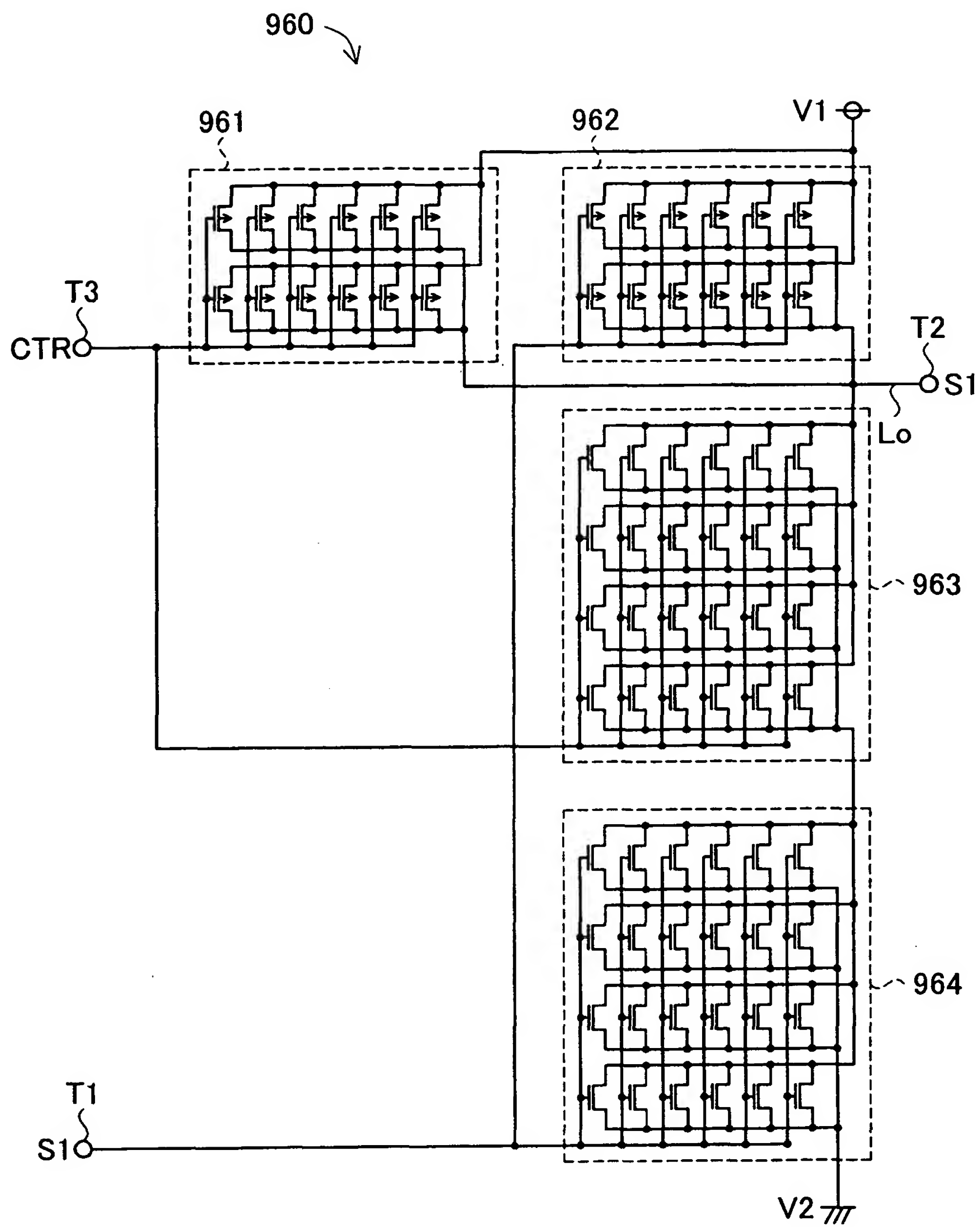


【図 4】



## 従来技術

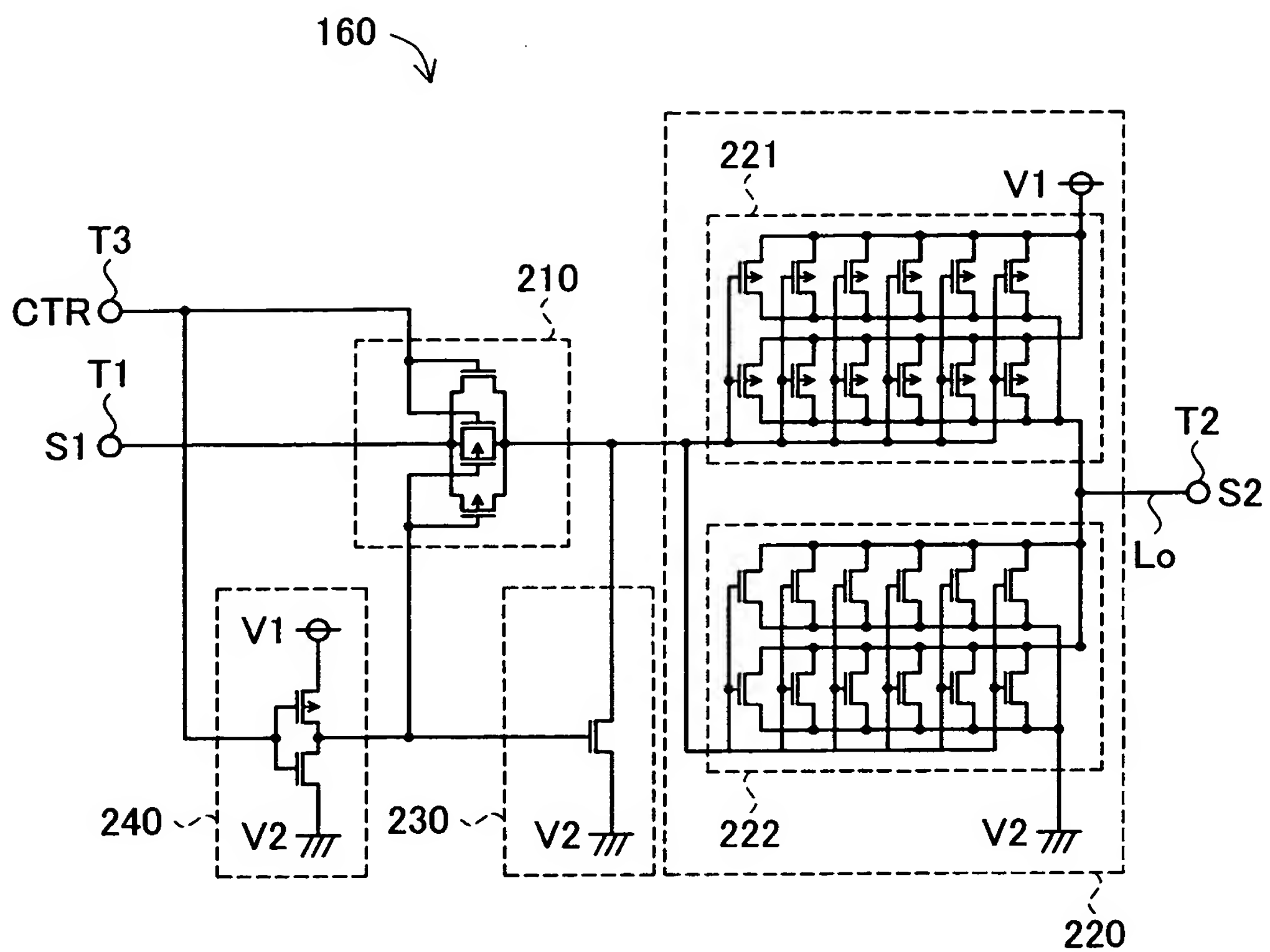
【図 5】



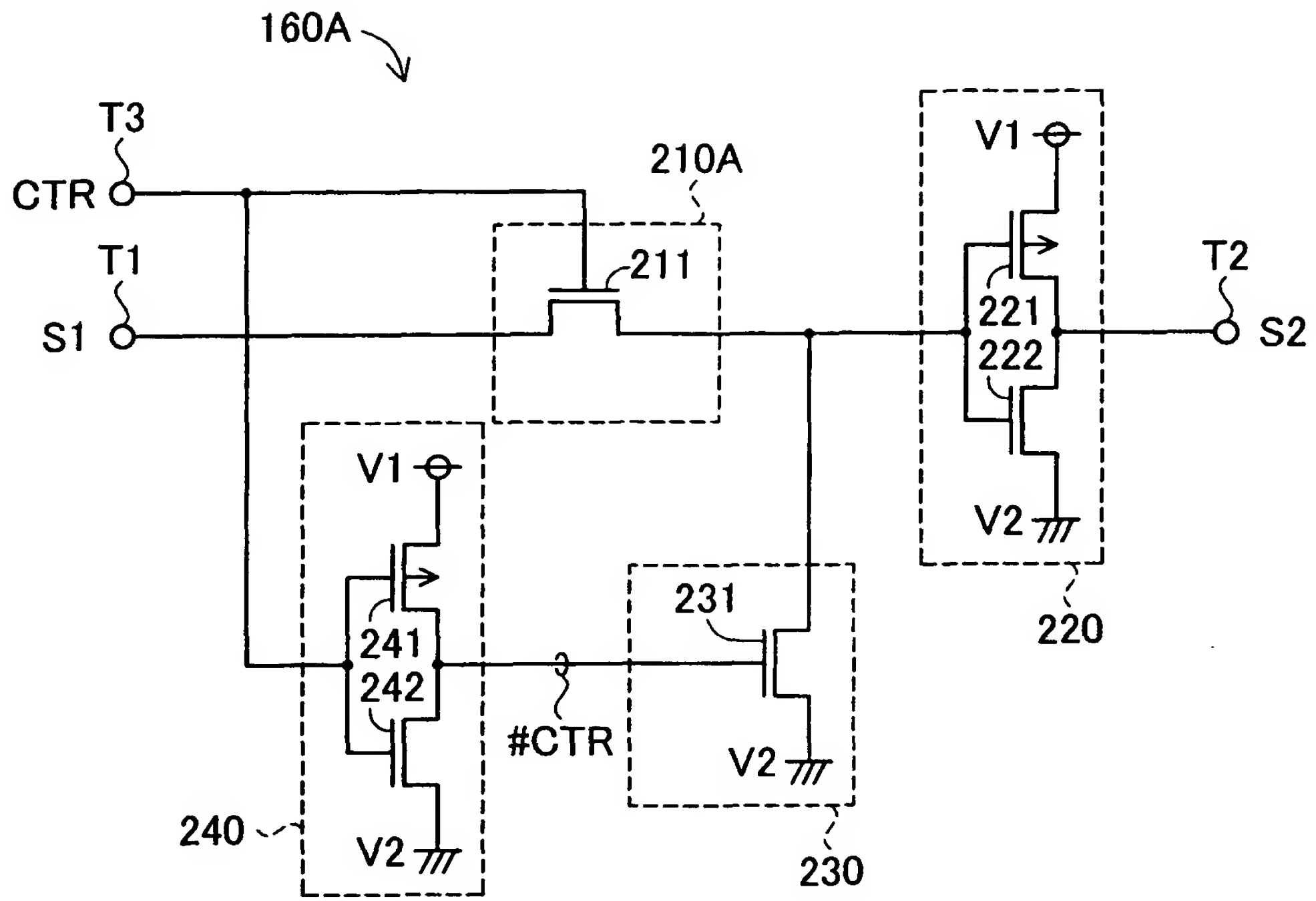
従来技術



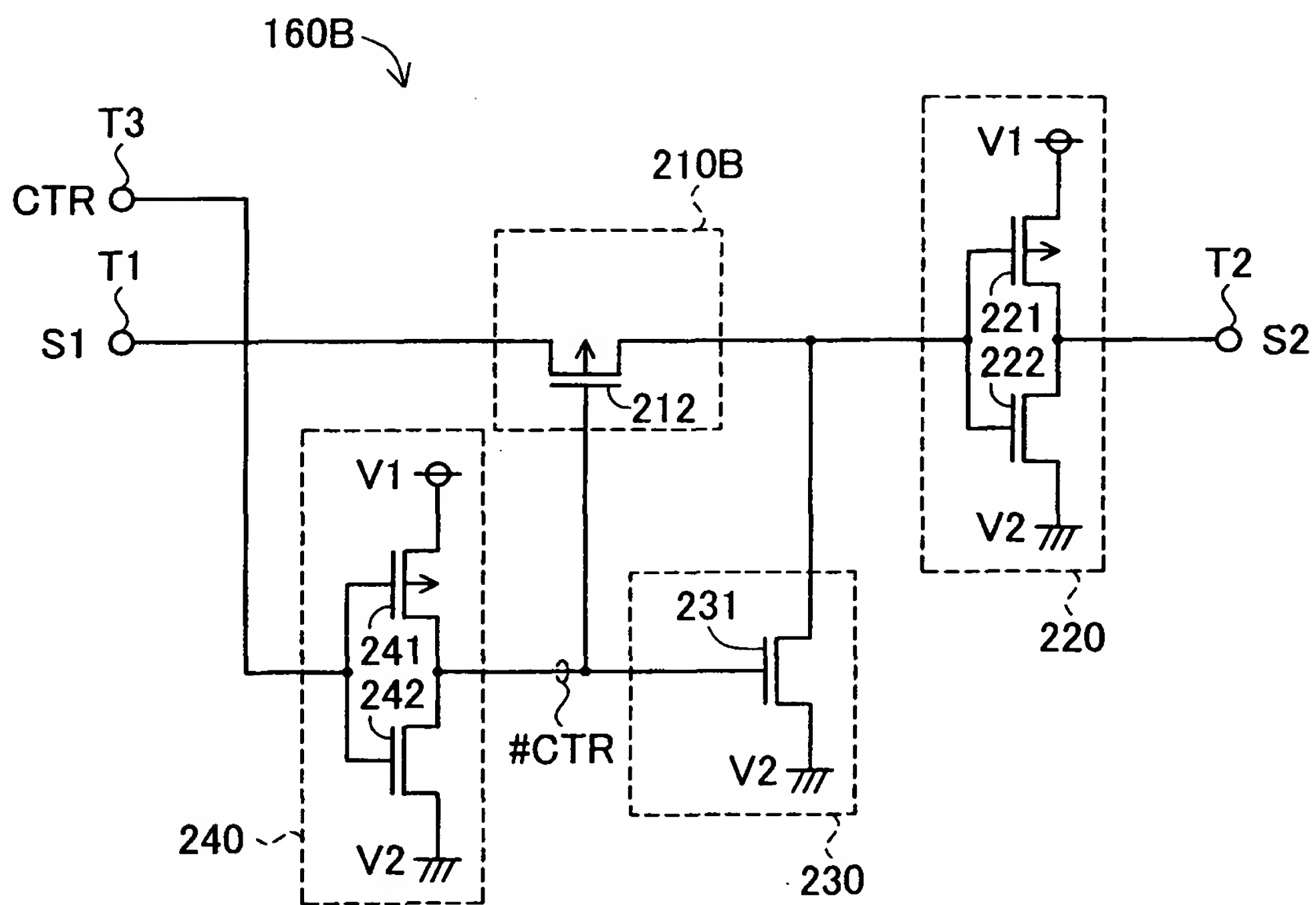
【図 6】



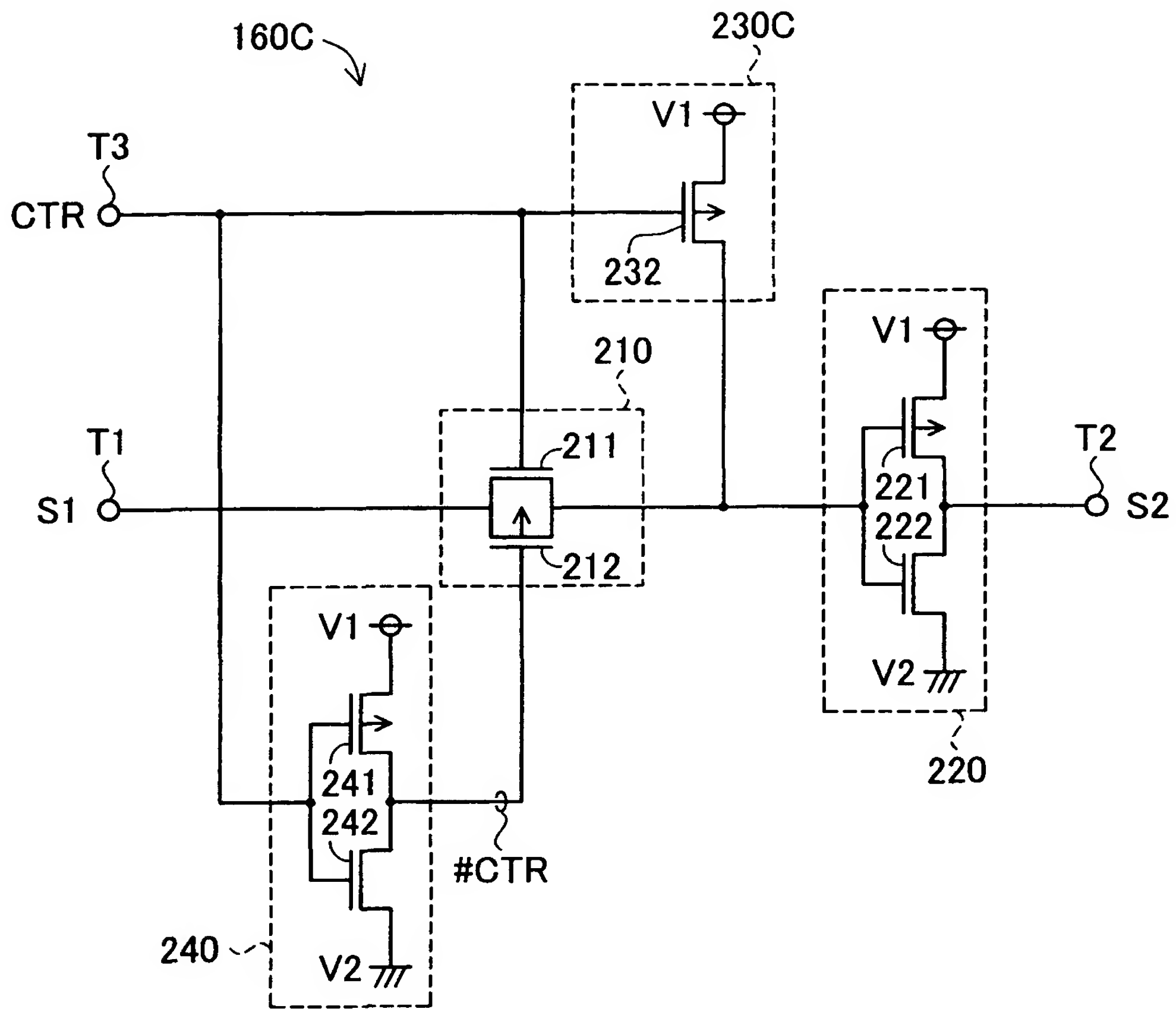
【図 7】



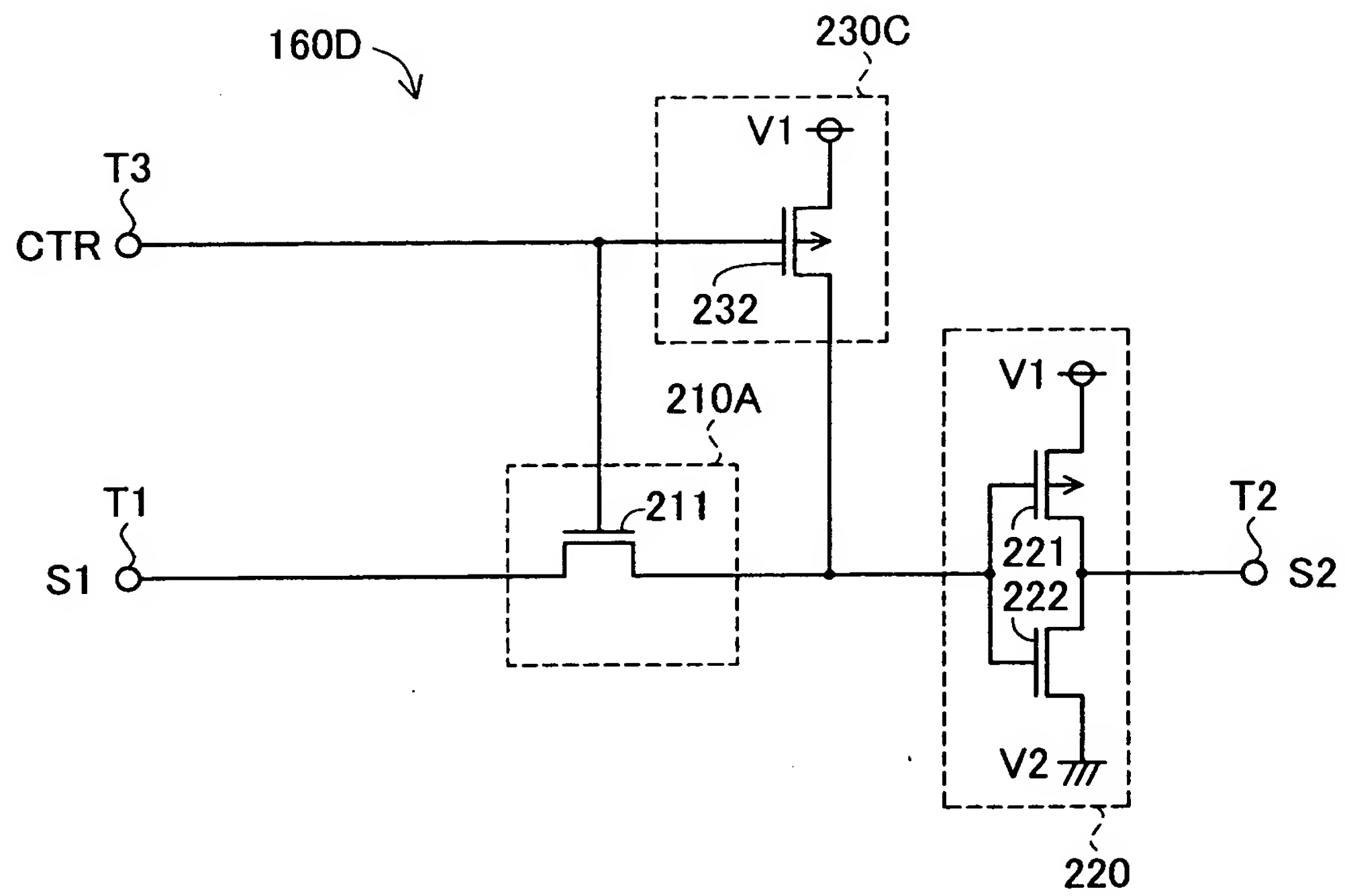
【图 8】



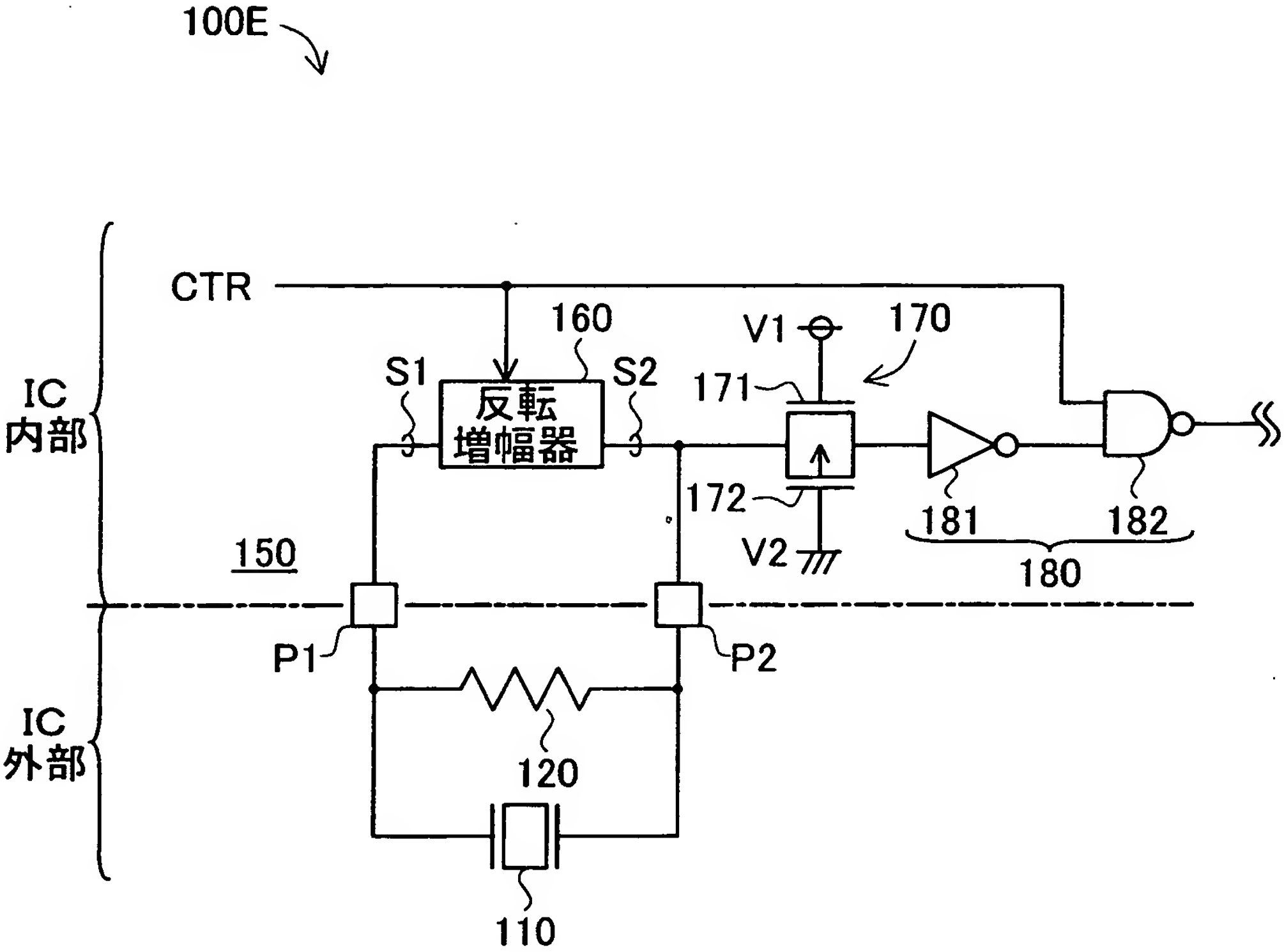
【図 9】



【図 1 0】



【図 1 1】





【書類名】 要約書

【要約】

【課題】 間欠的に発振信号を出力可能な反転増幅器のサイズを比較的小さくすることのできる技術を提供する。

【解決手段】 半導体装置は、振動子と並列に設けられ、制御信号CTRに応じて間欠的に発振信号を出力する反転増幅器160を備える。反転増幅器は、制御信号がHレベルに設定される場合には、第1の信号S1を伝搬するオン状態に設定され、制御信号がLレベルに設定される場合には、第1の信号を伝搬しないオフ状態に設定されるトランSMISSIONゲート210と、与えられる信号の論理レベルを反転して第2の信号S2を出力するインバータ回路220と、制御信号がHレベルに設定される場合には、インバータ回路の入力端子に第1の信号が与えられるように設定され、制御信号が第2の論理レベルに設定される場合には、インバータ回路の入力端子に所定の電圧が与えられるように設定されるクランプ回路230と、を備える。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日  
[変更理由] 新規登録  
住 所 東京都新宿区西新宿2丁目4番1号  
氏 名 セイコーエプソン株式会社